

PAT-NO: JP402087616A
DOCUMENT-IDENTIFIER: JP 02087616 A
TITLE: ELECTRON BEAM DIRECT LITHOGRAPHY
PUBN-DATE: March 28, 1990

INVENTOR-INFORMATION:

NAME COUNTRY
NOZUE, HIROSHI

ASSIGNEE-INFORMATION:

NAME COUNTRY
NEC CORP N/A

APPL-NO: JP63241463
APPL-DATE: September 26, 1988

INT-CL H01 L 021/027 , G03 F 007/20 , G05 B 015/00 , H01 J
(IPC): 037/147 , H01 J 037/30 , H01 J 037/305

US-CL-CURRENT: 219/121.12

ABSTRACT:

PURPOSE: To accurately control the size of a pattern by a method wherein a thickness of a resist film inside a water is found and an optimum irradiation amount of an electron beam is changed on the basis of the thickness.

CONSTITUTION: When chips 1, 2, 3,... are drawn in this order on a wafer 301 coated with a resist film, the resist film of the chips 1, 2, 3,... are measured in film-thickness measurement parts before a drawing operation; an irradiation amount of an electron beam for the individual chips 1, 2, 3,... are adjusted according to their measured data in such a way that a size difference in a pattern between the individual chips is eliminated. When a thickness of the resist film is t_3 and the irradiation amount is Q_3 , a size of l_3 of the pattern is obtained. When the thickness of the resist film is t_4 and the irradiation amount is Q_3 , the size of the pattern is l_4 , which

differs from l3. In this case, when the irradiation amount is set at Q4, the size of l3 of the pattern is obtained. It is most effective to input a data into a computer in advance, to automatically compute a required irradiation amount from a measured result of the film thickness by using the computer and to execute an irradiation operation according to this computation.

COPYRIGHT: (C)1990,JPO&Japio

⑫ 公開特許公報(A)

平2-87616

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)3月28日

H 01 L 21/027
 G 03 F 7/20
 G 05 B 15/00
 H 01 J 37/147
 37/30
 37/305

5 0 4

C
A

6906-2H
 7740-5H
 7013-5C
 7013-5C
 7013-5C
 8831-5F

H 01 L 21/30

3 4 1 M

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 電子線直接描画方法

⑰ 特 願 昭63-241463

⑱ 出 願 昭63(1988)9月26日

⑲ 発 明 者 野 末 寛 東京都港区芝5丁目33番1号 日本電気株式会社内
 ⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
 ㉑ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

電子線直接描画方法

特許請求の範囲

半導体基板上に塗布された電子線感光性有機膜に、パターンデータに従って順次電子線で描画を行なう電子線直接描画方法に於いて、あらかじめ前記半導体基板上での前記電子線感光性有機膜の膜厚分布を測定し、その膜厚分布に応じ、前記半導体基板内での各パターン描画に於ける電子線照射量を変化させることを特徴とする電子線直接描画方法。

発明の詳細な説明

(産業上の利用分野)

本発明は半導体集積回路などのパターンを半導体基板上に直接描画する電子線直接描画方法に関する。

(従来の技術)

近年、半導体集積回路の製造に於いて、超微細パターンを必要とするバイポーラメモリあるいはMOSメモリ等で電子線(EB)による直接描画法が用いられている。また、ゲートアレー等カラムLSIの配線工程に於いてもターンアラウンドタイム短縮のため電子線直接描画法が用いられている。

第6図は従来の電子線直接描画法を説明するための電子線直描装置の一例の模式図である。

装置本体は電子ビーム100を発生する電子銃部101、電子ビーム100の成形・ブランキング・ビーム照射位置決め・照射量決め等を行なうべく電子レンズやアパチャ、各種電極等から構成される電子鏡筒部102、露光されるべきウェーハ104を載せるウェーハ台105及びその位置を制御するためのX-Yステージ106が含まれている試料室103より構成されている。本体各部はそれぞれ真空ポンプ108A、108B、108Cによって真空引きされ、防

載置台107上に載置されている。コンピュータ109はパターンデータ保存部110よりパターンデータを受け取り、そのデータ及びあらかじめ決められた各描画パラメータに従って電子銃筒部102、ステージ106を制御し、パターン描画が行なわれる。ウェーハ上に塗布されたレジストに対する最適電子ビーム照射量はあらかじめ描画パラメータの一つとしてコンピュータ109に入力されているが近接効果補正のためを除いて、通常ウェーハ上ではすべてのパターンが同一照射量で描画されている。

第7図は描画されるウェーハの断面図である。ウェーハ301上にはパターン転写のためのレジスト膜302が塗布されている。ところで、このレジスト膜302がウェーハ上に塗布される場合、従来、まずウェーハ中心部にレジスト液を滴下した後、ウェーハを回転することによってウェーハ上でレジスト膜厚が均一になる様に工夫されている。しかしながら、レジスト膜厚を完全に均一にするのは難しく、直径6インチのウェーハ

の場合、1 μ m程度の塗布膜厚としたとき、0.1 μ m程度の膜厚差は存在する。第8図はレジスト膜厚とEB描画・現像後のパターン寸法の関係を示した図である。ある照射量 Q_0 で描画を行なった場合、ポジ形レジストを用い残しパターン寸法を測定すると、レジスト膜厚 t_1 ではパターン寸法 ℓ_1 、レジスト膜厚 t_2 ではパターン寸法 ℓ_2 が得られる。 $t_2 - t_1 \approx 0.1 \mu\text{m}$ のとき $\ell_2 - \ell_1$ は電子線直描装置、レジスト材料や現像方法によって異なるが、電子線の加速電圧20kV、電流密度0.4 A/cm²、可変整形ビームを用い、Siウェーハ上にMP2400レジスト(シプレ社)を塗布したものに0.5 μ m寸法のパターンを描画し、MP2401現像液(シプレ社)でパドル現像を行なった場合、 $\ell_2 - \ell_1 > 0.1 \mu\text{m}$ となることもある。通常、ウェーハ内でのパターン寸法のバラツキはパターン寸法の1/10未満で制御される必要があり、特にトランジスタのゲート長ではこれを越えると性能劣化を招いてしまう。

(発明が解決しようとする課題)

上述した従来の電子線直接描画方法ではウェーハ上でパターン描画する際の照射量は一定に保たれるため、ウェーハ上のレジスト膜厚が均一でない場合、パターンの寸法が正確に制御されず、集積回路装置の性能が劣化する、歩留まりが低下する等の影響があり、高品質集積回路装置を低価格で大量に安定供給できないという欠点がある。

本発明の目的は、パターン寸法を正確に制御できる電子線直接描画方法を提供することにある。

(課題を解決するための手段)

本発明の電子線直接描画方法は、半導体基板上に塗布された電子線感光性有機膜に、パターンデータに従って順次電子線で描画を行なう電子線直接描画方法に於いて、あらかじめ前記半導体基板上での前記電子線感光性有機膜の膜厚分布を測定し、その膜厚分布に応じ、前記半導体基板内の各パターン描画に於ける電子線照射量を変化させることにより構成される。

(実施例)

次に、本発明について図面を参照して説明する。

第1図は本発明の第1の実施例を説明するための電子線描画装置の模式図である。基本的構成は従来とほとんど同じであるが、この装置はレジスト膜厚を測定するための膜厚測定部を有している。すなわち、膜厚測定部は光源201(レジストを前述のMP2400(シプレ社)を使用する場合、波長0.35~0.65 μ mの白色光のものを使う)、ハーフミラー202、レンズ系203、検出系204、X-Yステージ207、X-Yステージ上のウェーハ載置台206及びカバー205より構成される。X-Yステージ207及びウェーハ載置台206はウェーハ104でのレジスト膜厚測定後、試料室103機に移動し、ウェーハ載置台105上にウェーハ104を載置可能となっている。

第2図はウェーハの上面図である。電子線感光性有機膜、つまりレジスト膜の塗布されたウェー

ハ301上にチップ1, 2, 3, …の順に描画を行なう場合、第1図に於ける膜厚測定部に於いてチップ1, 2, 3, …のレジスト膜厚を描画に先立ち測定し、その測定データに応じて各チップ1, 2, 3…の電子線照射量を各チップ間でのパターン寸法差がなくなる様に調整する。

第3図は電子線照射量と現像後のパターン寸法との関係を示した図である。レジスト膜厚が t_1 のとき照射量 Q_1 ではパターン寸法 l_1 が得られる。レジスト膜厚が t_2 のとき照射量 Q_2 ではパターン寸法 l_2 となり、 l_1 と異なってしまう。この場合照射量を Q_4 とするとパターン寸法 l_1 が得られる。

第4図はパターン寸法 l_1 を得る時のレジスト膜厚と照射量との関係を示したものである。各チップでの膜厚測定結果からこのグラフをもとに作業者が照射量を求めても良いが、あらかじめ第4図のデータをコンピュータ109に入力しておき膜厚測定結果からコンピュータにより自動的に必要照射量を算出し、それに従って照射される方

法が最も有効である。ここで、膜厚測定は全チップについて行なうばかりでなく、何チップかを選択測定し、他のチップはそれらの測定結果をもとに近似しても良い。

第5図は本発明の第2の実施例を説明するためのフローチャートである。

第1の実施例ではパターン寸法制御を高精度で行なうため、全ウェーハについてレジスト膜厚測定を行なうが、測定に時間を要する。そこで、第2の実施例ではロット内からあらかじめ何枚かのウェーハを抜き取り、例えば、25枚のウェーハで構成されるロットから5枚を抜き取り、その5枚について第1の実施例と同様に各チップのレジスト膜厚測定を行なう。次に、これら5枚分のデータから各チップごとの平均膜厚を求め、この平均膜厚からさらに各チップごとの電子線照射量を求め、これに従って25枚全部の電子線描画を行なうものである。

〔発明の効果〕

以上説明したように本発明はウェーハ内のレジ

スト膜厚を求め、それをもとに最適電子線照射量を変化することにより、ウェーハ上にレジストが均一膜厚で塗布されない場合でもパターン寸法が一定に形成され、高性能・低価格の集積回路が多量に安価に供給されるという効果がある。

なお、最適電子線照射量はチップごとに变化させる例を説明したが、描画フィールドごと、サブフィールドごと等要求精度に応じて变化させるようにしても良い。

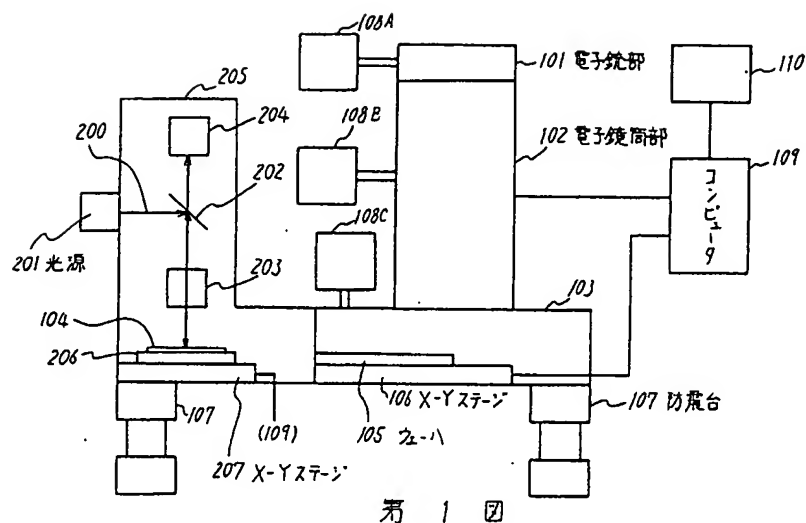
図面の簡単な説明

第1図は本発明の第1の実施例を説明するための電子線描画装置の模式図、第2図は第1図の実施例を説明するためのウェーハの上面図、第3図は電子線照射量とパターン寸法との関係を示す特性図、第4図はレジスト膜厚と電子線照射量との関係を示す特性図、第5図は第2の実施例を説明するためのフローチャート、第6図は従来の電子線描画装置の模式図、第7図は従来例を説明するためのウェーハの断面図、第8図はレジスト膜厚と

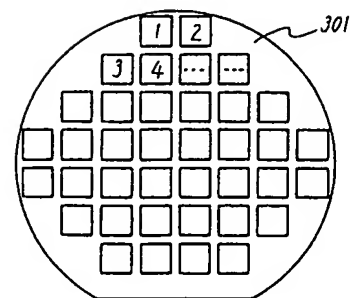
パターン寸法との関係を示す特性図である。

100…電子線、101…電子銃部、102…電子銃筒部、103…試料室、104…ウェーハ、105…ウェーハ台、106…X-Yステージ、107…防震台、108A, B, C…真空ポンプ、109…コンピュータ、110…データ保存部、200…光、201…光源、202…ハーフミラー、203…レンズ系、204…検出器、205…カバー、206…ウェーハ台、207…X-Yステージ、301…ウェーハ、302…レジスト膜。

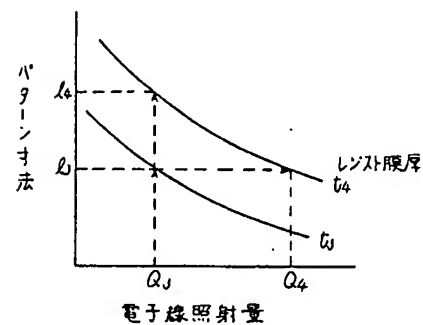
代理人 弁理士 内 原 晋



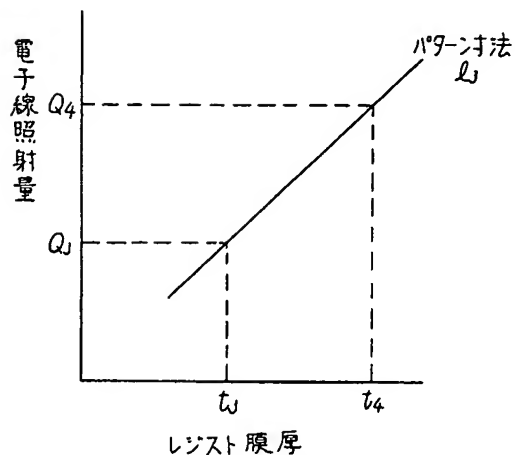
第 1 図



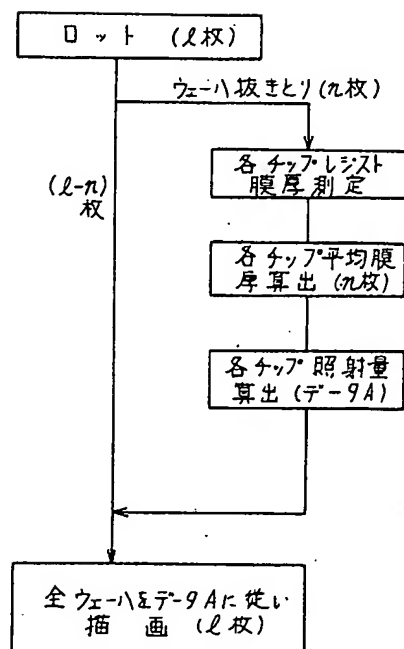
第 2 図



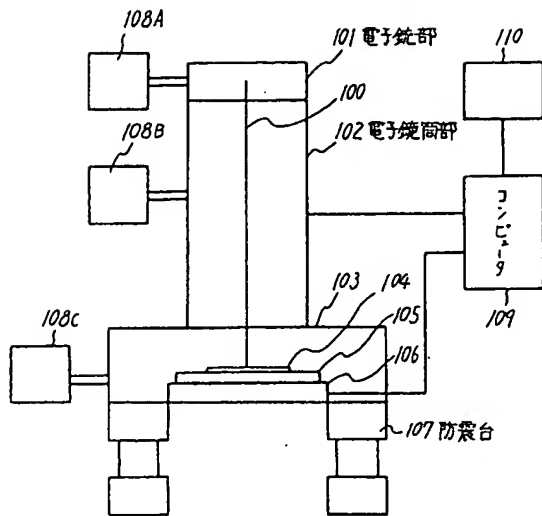
第 3 図



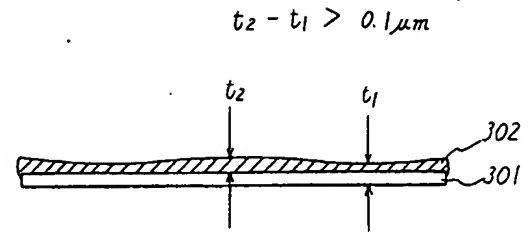
第 4 図



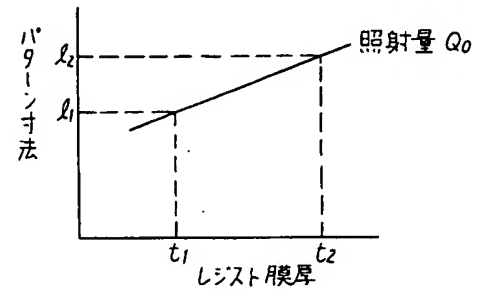
第 5 図



第 6 図



第 7 図



第 8 図